

Offre stage :

Contribution à la conception d'une architecture d'un processeur bande de base pour une passerelle de communication IoT sécurisée



Dépôt le 29 octobre 2021.

Keywords : Architecture matérielle, processeur bande de base, IoT, Cybersécurité

Contexte

À l'heure de l'internet des objets, les systèmes embarqués communicants se répandent massivement dans des infrastructures critiques. Ils contribuent à un meilleur contrôle et une plus grande optimisation de ces dernières pour à la fois augmenter leur efficacité, leur coût et leur usage, mais aussi répondre à des défis sociétaux. Malheureusement, ils participent malgré eux à l'augmentation de la surface d'attaque globale des systèmes d'information ce qui représente une menace sans précédent [1]. Il est donc essentiel de garantir le meilleur niveau de protection pour de tels systèmes qui manipulent des données sensibles ou secrètes. En effet, du fait de leur connectivité, ils font face à de nombreuses menaces logicielles et matérielles. Dans le cadre de ce stage, le système considéré est composé d'objets connectés à une gateway qui, elle-même, est connectée à un ou plusieurs serveurs de calculs (i.e. espace cloud). La Figure 1 illustre l'infrastructure visée ainsi que le modèle de menaces considéré au niveau logiciel et sur les liens de communication. Les objets connectés (nœuds IoT) transmettent et reçoivent des données de la gateway. Chaque nœud communique potentiellement avec une forme d'onde et un protocole différents (p. ex. LoRaWan et Bluetooth). En effet, la multiplication des protocoles et formes d'ondes limite l'utilisation d'un seul standard pour les communications au sein de ce type d'infrastructure [2]. La gateway doit donc être en mesure de supporter des formes d'ondes différentes ainsi que des protocoles différents et cela de façon dynamique.

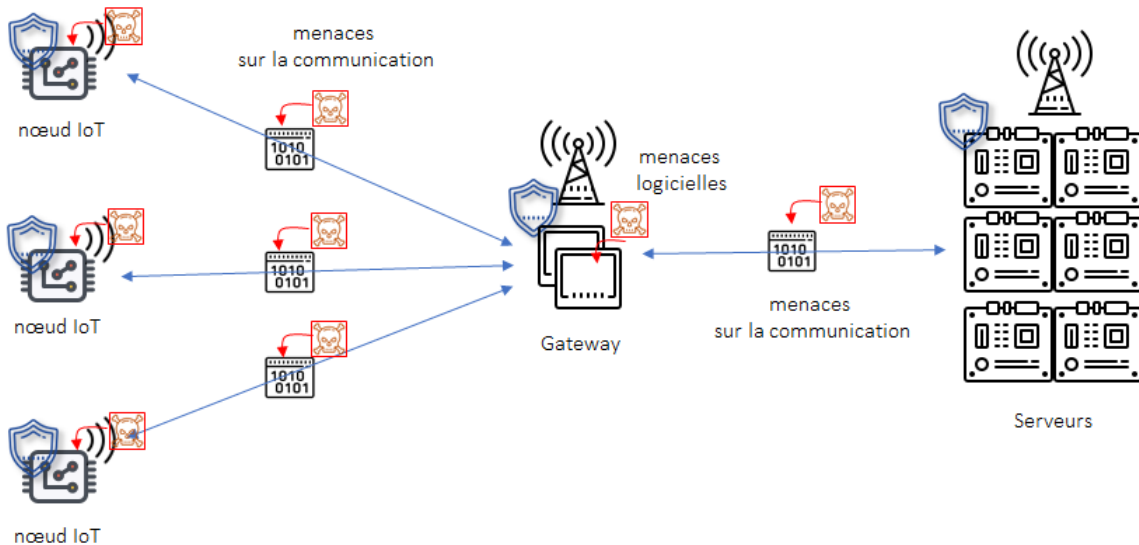


FIGURE 1 – Infrastructure du système IoT et des menaces associées

Ce travail s'inscrit dans le projet ANR TrustGW qui adresse un enjeu croissant dans le domaine des infrastructures IoT en proposant une architecture de gateway hétérogène, générique et sécurisée pouvant héberger plusieurs domaines d'exécution isolés accédant à des ressources partagées.

Challenges

Dans ce contexte, le sujet de stage traite de la partie communication de la passerelle et plus spécifiquement l'architecture du processeur spécialisé dit processeur bande de base. La figure 2 présente un schéma général de l'architecture du système sur puce de la passerelle de communication.

Nous souhaitons explorer la définition d'un processeur bande de base s'appuyant sur l'ISA RISC-V avec (i) une extension du jeu d'instruction pour améliorer les performances (latence, consommation) des traitements liés

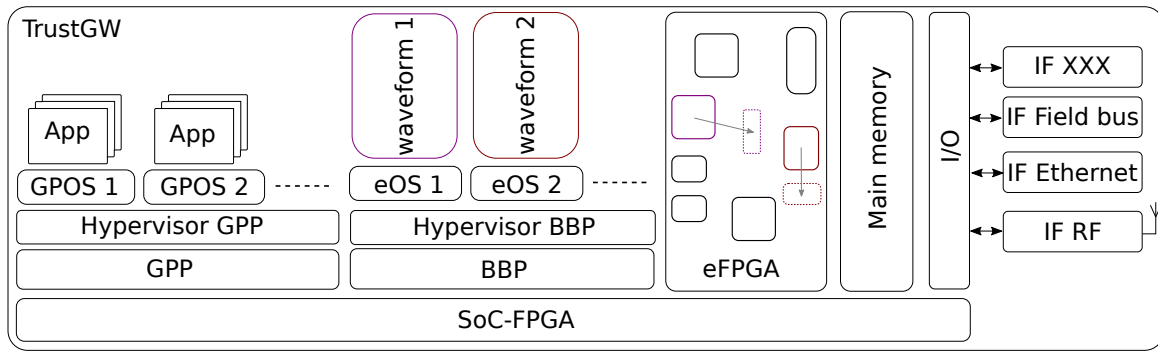


FIGURE 2 – Architecture générale de la gateway. L’architecture est composée d’un processeur applicatif GPP hébergeant plusieurs machines virtuelles (GPOS) déployées par un hyperviseur dédié (hyperviseur GPP), d’un processeur bande de base (BBP) hébergeant plusieurs machines virtuelles (eOS) déployées par un hyperviseur dédié (hyperviseur BBP) et d’une matrice reconfigurable permettant de déployer des accélérateurs matériels (eFPGA). Comme illustré sur la figure une application est déployée en logiciel et matériel, créant ainsi un espace d’exécution.

à une forme d’onde, (ii) un support de l’hypervision avec l’intégration d’accélérateurs matériels et (iii) garantir une isolation entre les piles protocolaires.

Programme scientifique et technique

Pour traiter une partie de ces challenges nous proposons un travail de stage où il s’agit pour le stagiaire :

1. de faire un tour de l’état de l’art (en partie fourni) des travaux dans ce domaine (par exemple [3]) et découvrir l’écosystème autour du processeur RISC-V,
2. d’étudier et proposer l’ajout d’extensions du jeu d’instruction d’une implantation du RISC-V (à définir) pour une forme d’onde (à définir),
3. de mettre en oeuvre des *benchmarks* pour évaluer la proposition dans la plate-forme de test du laboratoire en simulation et émulation sur cible FPGA.

Prérequis

- Master (M2) ou équivalent (ingénieur dernière année).
- Compétences requises : architecture des processeurs, HDL (VHDL ou autre), FPGA
- Autres compétences (apprécié) : protocoles réseau, communication numérique, sécurité des systèmes embarqués

Informations

- Encadrant : Philippe Tanguy
- Co-encadrant : Guy Gogniat
- Laboratoire : Lab-STICC (<https://labsticc.fr/en>)
- Équipe : ARCAD (<https://labsticc.fr/en/teams/arcad>)
- Lieu : Lorient
- Début : à partir du 31/01/2022
- Durée : 5 à 6 mois
- Stage rémunéré (<https://www.service-public.fr/particuliers/vosdroits/F32131>)

Ce sujet s’inscrit dans un projet de recherche appelé TrustGW qui est financé par l’ANR (<https://anr.fr/>). Selon les résultats du stage une poursuite en thèse (financement obtenu) pourrait être proposée.

Candidature

Email à Philippe Tanguy avec :

- Lettre de motivation et CV (projets étudiants, ...)
- Notes du master ou équivalent

Contacts

GOGNIAT Guy

✉ guy.gogniat@univ-ubs.fr

☎ +33 (0)2 97 87 46 41

Professor (Professeur des universités)

TANGUY Philippe

✉ philippe.tanguy@univ-ubs.fr

☎ +33 (0)2 97 87 45 67

Assistant professor (Maître de conférences)

Références

- [1] V. Hassija, V. Chamola, V. Saxena, D. Jain, P. Goyal, and B. Sikdar. A survey on iot security : Application areas, security threats, and solution architectures. *IEEE Access*, 2019.
- [2] H. Belhadj Amor and C. Bernier. Software-hardware co-design of multi-standard digital baseband processor for iot. In *Design, Automation Test in Europe Conference Exhibition (DATE)*, 2019.
- [3] A RISC-v ISA extension for ultra-low power IoT wireless signal processing.