

Offre stage :

Contribution à la conception d'une radio logicielle pour système embarqué contraint communicant à bas débit



Dépôt le 29 octobre 2021.

Keywords : Architecture matérielle, processeur RISC-V, DFE, IoT

Contexte

L'internet des objets (Internet of Things, IoT) permet d'envisager de nouveaux services dans de nombreux domaines : transport intelligent, ville intelligente, santé & bien-être, agriculture, etc. Dans ce paradigme, certains objets sont des systèmes embarqués contraints qui servent à faire généralement de la récolte de donnée qui sera ensuite envoyée puis exploitée sur des serveurs avec des capacités de calculs plus importantes. Ces objets ont généralement peu de ressources (énergie, mémoire, ressource de calcul, ...) et communiquent à faibles débits. La figure 1 présente le synoptique d'une architecture classique d'un système embarqué communicant dans le cas du protocole LoRaWAN. Pour les mêmes raisons évoquées dans [1, 2] nous pensons que ce type d'architecture ne

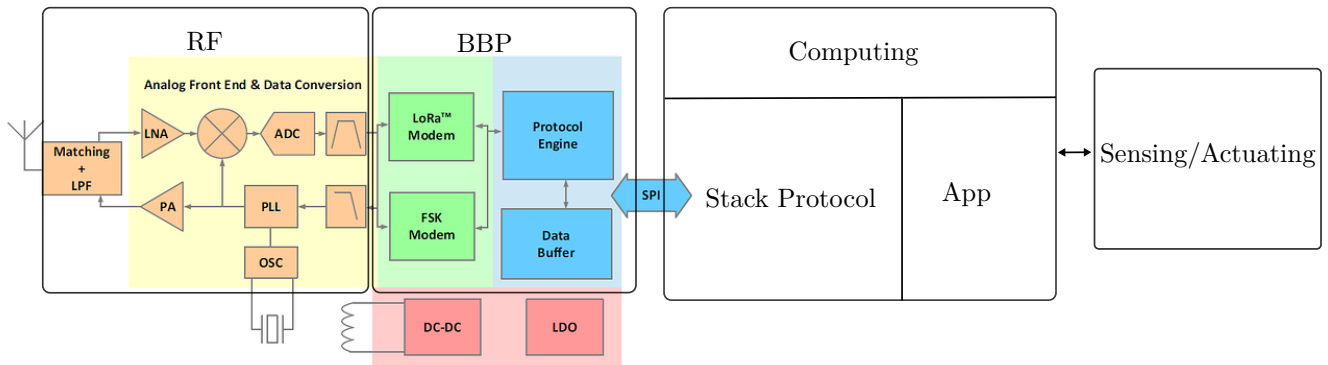


FIGURE 1 – Aperçu d'une architecture d'un nœud communicant en bout de réseau (RF : radiofrequency, BBP : baseband processor). Image exemple LoRa RF et modem extrait de la datasheet du SX1261 (<https://fr.semtech.com/products/wireless-rf/lora-core/sx1261>).

permet pas une grande flexibilité. En effet, il est difficile au niveau de l'unité de communication (RF+BBP) de la faire évoluer, de changer de protocole, de faire des mise-à-jour, ... Par contre, une architecture de type radio logicielle avec un processeur dit généraliste pourrait offrir cette flexibilité [1, 2]. En effet, la radio logicielle vise à exécuter des fonctionnalités des chaînes de communication en transmission (Tx) et/ou réception (Rx) via du logiciel.

Ce travail s'inscrit dans le projet ANR QCSP (<https://qcsp.univ-ubs.fr/>). L'objectif du projet QCSP est de contribuer à l'évolution des réseaux IoT en définissant, implémentant et testant un nouveau schéma de modulation codé dédié aux réseaux IoT. Le « grand pari » du projet est de travailler sur l'émergence de codes NB combinés à une modulation Cyclic Code Shift Keying (CCSK). Ce nouveau schéma de modulation codé, appelé code CCSK-NB, peut être facilement mis en œuvre de manière efficace sur les nœud en bout de réseau. Le code CCSK-NB offre plusieurs avantages par rapport aux formes d'onde de l'IoT : il offre des capacités d'auto-synchronisation et d'auto-identification, et est capable de fonctionner à des rapports signal sur bruit (SNR) ultra-faibles.

Challenges

Dans ce contexte, nous pensons développer une architecture sur la base du schéma général de la figure 2. Le principal défi pour ce type d'architecture est de pouvoir exécuter une forme d'onde en temps réel tout en respectant des contraintes forte au niveau de la consommation. Il y a alors plusieurs points à considérer :

- au niveau du *Digital Front-End* (DFE),
- au niveau de l'échange des échantillons entre la partie DFE et le processeur,

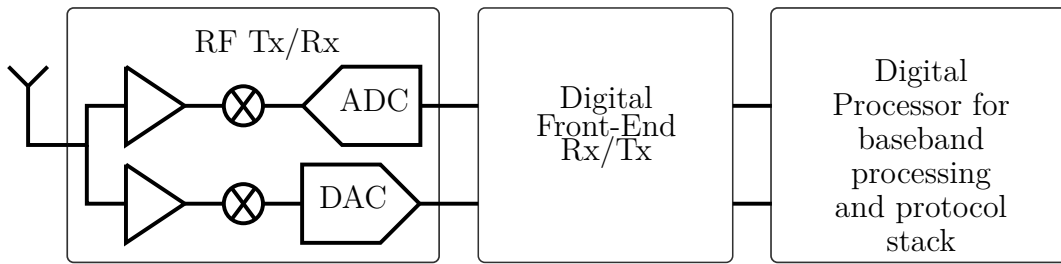


FIGURE 2 – Aperçu de l’architecture radio logicielle

— au niveau du processeur.

Programme scientifique et technique

Dans ce stage nous nous focaliserons dans un premier temps sur la partie DFE mais selon l’avancement nous pourrions travailler sur la partie processeur généraliste. Pour traiter une partie de ces challenges nous avons envisagé un travail de stage où l’étudiant :

1. fera un tour de l’état de l’art (en partie fourni) des travaux dans le domaine (par exemple [1]) et découvrira l’écosystème autour de la radio logicielle,
2. contribuera au développement du prototype
 - intégrera un Front-End radio AT86RF215 et développera la partie DFE de l’architecture de la figure 2 sur cible FPGA,
 - implémentera (selon l’avancement) une partie de la forme d’onde QCSP (Tx uniquement) tel que défini dans le projet QCSP sur processeur RISC-V (à définir),
3. mettra en oeuvre des tests pour évaluer la proposition sur la plate-forme de test du laboratoire.

Prérequis

- Master (M2) ou équivalent (ingénieur dernière année).
- Compétences requises : architecture des processeurs, HDL (VHDL ou autre), FPGA
- Autres compétences (apprécié) : traitement du signal, communication numérique

Informations

- Encadrant : Philippe Tanguy
- Laboratoire : Lab-STICC (<https://labsticc.fr/en>)
- Équipe : ARCAD (<https://labsticc.fr/en/teams/arcad>)
- Lieu : Lorient
- Début : à partir du 31/01/2022
- Durée : 5 à 6 mois
- Stage rémunéré (<https://www.service-public.fr/particuliers/vosdroits/F32131>)

Ce sujet s’inscrit dans le projet de recherche QCSP (<https://qcsp.univ-ubs.fr/>) financé par l’ANR (<https://anr.fr/>).

Candidature

Email à Philippe Tanguy avec :

- Lettre de motivation et CV (projets étudiants, ...)
- Notes du master ou équivalent

Contacts

TANGUY Philippe

✉ philippe.tanguy@univ-ubs.fr

☎ +33 (0)2 97 87 45 67

Assistant professor (Maître de conférence)

Références

- [1] Hela Belhadj Amor, Carolyn Bernier, and Zdenek Prikryl. A risc-v isa extension for ultra-low power iot wireless signal processing. *IEEE Transactions on Computers*, pages 1–1, 2021.
- [2] Mathieu Xhonneux, Jérôme Louveaux, and David Bol. Implementing a LoRa software-defined radio on a general-purpose ULP microcontroller. In *2021 IEEE International Workshop on Signal Processing Systems*, 2021.