

Devoir Surveillé L3-EII

Architecture Microprocesseur

J. Laurent

Décembre 2009

1 Exercice: Filtrage

Nous voulons implanter une fonction de filtrage de signaux codés sur 8 bits sur une architecture programmable. Le filtre doit avoir une longueur de 4096 points et correspondre à la formule suivante:

$$Y_n = \sum[\mathbf{A}_k * X_n - k]$$

L'algorithme correspondant à cette équation, permettant de filtrer un échantillon, sera le suivant:

Programme principal	Sous programme de filtrage
Début	Début
Y = filtre(X_i);	Pour i = 0 à 4095 faire
Fin	Résultat = Résultat + [a(i)* $X_{(n-i)}$]
	Fait
	Retour

L'architecture utilisée pour programmer cette application est de type Von Neuman dont la mémoire primaire utilise un algorithme LRU (associatif par ensemble de 2). La mémoire secondaire est de type dynamique et possède 2 bancs. Le remplacement en mémoire primaire se fait par bloc de 16 octets et la largeur d'une ligne est égale à 32 bits.

1. Faire un schéma de l'architecture. Quelles seraient les différences avec une architecture Harvard?
2. Expliquer le fonctionnement de l'architecture mémoire i.e. de la mémoire primaire et secondaire.
3. Expliquez le cycle Von Neuman (faites un schéma).
4. Expliquer le fonctionnement d'un cache associatif (prenez un exemple); quel est l'autre type de cache possible. Expliquer leur différence (avantages/inconvénients).
5. En prenant l'application présentée ci-dessus et sachant que chaque échantillon et coefficient est codé sur 16 bits, quelle devra être la taille minimale de la mémoire cache pour que le taux de défauts de cache soit nul?
6. Sachant que le cache de niveau 1 ne fait que 4 Ko et en supposant que les données (les instructions seront chargées directement de la mémoire secondaire sans passer par le cache), quel sera le taux de défauts de cache pour l'application.
7. L'exécution de cette application sur le processeur entraînera-t-elle l'utilisation de la pile? Si oui, alors représentez par des schémas, ce qu'il y a dans la pile avant l'exécution de la fonction de filtrage, juste après l'appel et finalement après le retour au programme principal.

2 Questions de cours

1. Qu'est ce que sont les architectures RISC et CISC, laquelle a remplacé l'autre et pourquoi?
2. Décrire le cycle Von Neumann.
3. Quelles sont les différences entre une architecture micro-codée et micro-programmée?
4. Quelle est la technologie mémoire utilisée pour réaliser une mémoire cache?
5. Expliquez la différence entre une mémoire statique et dynamique.
6. Expliquez le principe des interruptions.
7. Faites un schéma d'une architecture mémoire-mémoire et d'une architecture Load/Store. Expliquez les avantages et les inconvénients de chacune de ces deux architectures.
8. Expliquez en vous aidant d'un schéma le fonctionnement d'un TLB.
9. Expliquez la topologie interne d'un cache, son fonctionnement et indiquez les politiques d'écriture possibles ainsi que leurs variantes possibles.
10. Expliquez en vous aidant de schémas la différence entre une architecture point à point et une architecture bus.
11. Expliquez en vous aidant de schémas le fonctionnement de la machine de Moore et de la machine de Mealy.