TD ARCHITECTURE L3-EII

J. Laurent

February 3, 2017

1 Exercice:

Soit un processeur ayant une architecture comprenant 4 registres généraux (avec commandes de chargement et validation de sortie globales pour la file), 1 accumulateur et une UAL pouvant effectuer des opérations d'addition, de soustraction. Cette architecture possède de plus une mémoire d'instruction dans laquelle nous retrouverons les commandes permettant la réalisation d'un algorithme. Cette mémoire sera de type ROM et sera pilotée via un bus d'adresse 8 bits et un signal de sélection. Son bus de données sera également de 8 bits. La mémoire de données sera, elle, également de 8 bits et possédera un signal de remise à zéro, d'écriture, de sélection ainsi qu'un signal d'horloge.

1. Faîtes un schéma de l'architecture. Le schéma doit comprendre les signaux de contrôle.
2. Quel type de modèle d'interconnexions est utilisé?
3. Combien de bits, au minimum, faut-il pour coder une instruction?
4. Pour l'algorithme ci-dessous, faites le codage de l'automate d'instructions (i.e. la séquence binaire.

```
ADD   R2,R1,R3
LOAD  @2,R4
SUB   R4,R1,R2
```