TD ARCHITECTURE L3-EII

J. Laurent

March 16, 2017

1 Exercice:

Supposons une architecture utilisant une adresse virtuelle sur 64 bits avec les 13 bits de poids correspondant au déplacement dans la page. Cette architecture possède 2 caches de niveau 1 & 2 à correspondance directe dont les tailles respectives sont 8Ko et 4Mo.

1. Faîtes un schéma de la hiérarchie mémoire.
2. Quelle est la taille d'une page mémoire?
3. Sachant que le déplacement dans la page fait 13 bits, quelle est le nombre de bits réservé pour le déplacement dans le bloc et pour l'index du cache L1?
4. Sachant que l'adresse physique fait 41 bits d'adresse, quelle est la capacité mémoire adressable par le système, en supposant que toutes les adresses sont utilisées pour accéder à de la mémoire.
5. En reprenant toutes les données précédents et en prenant un TLB à 256 entrées, représentez par un schéma le cheminement global d'une adresse virtuelle jusqu'au cache L2.