
TER VHDL

MODELISATION D'UN COMPOSANT « SEUILLEUR »

Le but de ce TER est de concevoir un modèle VHDL d'un composant "seuilleur" utilisé en traitement d'image pour "saturer" une image, c'est-à-dire, remplacer tous les niveaux de gris par du blanc ou du noir, et ce, en fonction d'un seuil programmable.

Dans ce projet, les spécifications du seuilleur sont fixées et vous devez les respecter, sans supprimer de fonctionnalité, ni en rajouter.

Spécification du seuilleur

Les entrées sorties sont données par :

```
ENTITY seuilleur IS
  PORT (
    rst      : IN  bit;           -- signal reset actif a 0
    clk      : IN  bit;           -- signal d'horloge
    data_in   : INOUT std_logic_vector(7 DOWNT0 0); -- donnees entrees
    data_in_v : IN  bit;           -- entree valide
    start     : IN  bit;           -- debut des calculs
    data_out_r : IN bit;           -- requete lecture donnee
    end_c     : OUT bit;          -- fin des calculs
  );
END seuilleur;
```

Le signal *data_in_v* est à 1 lorsqu'une donnée *data_in* est présentée en entrée du bloc.

Le signal *start* passe à un durant un cycle d'horloge lorsque les 256 pixels du bloc ont été chargés.

Une fois le traitement terminé, le seuilleur positionne le bit *end_c* à 1 durant un cycle pour indiquer au monde extérieur que le calcul est terminé.

Le signal *data_out_r* est une requête de lecture. Le seuilleur doit positionner le pixel suivant sur le bus *data_in* un cycle après le passage à 1 de *data_out_r*.

Une fois le bloc chargé, le seuilleur se met dans un mode attente.

Si le monde extérieur ne suit pas ce protocole, des messages d'erreurs doivent être générés par le seuilleur.

Le traitement effectué par le seuilleur est décrit ci-dessous :

```
Pour i depuis 0 à 255 faire
  Si tab(i) > seuil alors tab(i) := 1
```

```
Sinon tab(i) := 0  
Fsi  
Fait
```

Avec *seuil* une constante initialisée à la valeur 127.

Architecture du seuilleur

Nous vous imposons une architecture en trois blocs :

Mémoire : il mémorise le bloc de pixel.

UAL : Effectue l'opération de seuillage

Contrôle : Génère les signaux de contrôle de l'UAL et de la mémoire.

Système de notation du projet

A l'issus du projet, vous devez remettre à votre encadrant trois documents :

- L'ensemble de vos fichiers sources qui seront recompilés et testé.
- Un rapport détaillé de votre architecture
- Un journal de bord décrivant, séance après séance, l'avancement du travail.

La note du projet inclus non seulement le résultat final, mais aussi la qualité de l'architecture et la forme des fichiers sources. Le tableau suivant vous donne la grille de notation qui sera utilisée :

	Nombre de points
Le projet compile	1
Le premier test est correct	2
Le deuxième test est correct	3
Le troisième test est correct	1
Qualité des sources VHDL (en tête, commentaires)	3
Qualité de l'architecture utilisée	4
Forme du rapport (clarté, orthographe,...)	4
Qualité du journal de bord	2

Les tests 1, 2 et 3 correspondent au traitement corrects de trois blocs transmis à votre composant seuilleur dans l'environnement de simulation qui vous est fourni. Le premier test envoie les blocs de façon continue, le deuxième test envoie le bloc de façon discontinu, et enfin, le dernier test vérifie les messages d'erreurs du seuilleur en cas de comportement anormal du monde extérieur.

Remarque : lors de la première séance de TP, il serait réellement étonnant que vous ayez assez avancé les spécifications des différents blocs pour commencer à écrire du code VHDL.