

Projet ANR-15-CE25-0006-01

NAND

Noise Against Noise Decoder

Programme PRCE 2015

A	IDENTIFICATION.....	2
B	RESUME CONSOLIDE PUBLIC	3
B.1	Instructions pour les résumés consolidés publics	3
B.2	Résumé consolidé public en anglais.....	5
C	MEMOIRE SCIENTIFIQUE.....	7
C.1	Résumé du mémoire	7
C.2	Contributions algorithmiques.....	7
C.3	Contributions sur les outils.....	8
C.4	Contributions sur les architectures	8
C.5	Exploitation des résultats	9
C.6	Conclusions.....	10
D	LISTE DES LIVRABLES.....	10
E	IMPACT DU PROJET	12
E.1	Indicateurs d'impact	12
E.2	Liste des publications et communications	13
E.3	Liste des éléments de valorisation.....	15
E.4	Bilan et suivi des personnels recrutés en CDD (hors stagiaires)	17

A IDENTIFICATION

Acronyme du projet	NAND
Titre du projet	Noise Against Noise Decoder
Coordinateur du projet (société/organisme)	Université de Bretagne Sud
Période du projet (date de début – date de fin)	11/2015-09/2019
Site web du projet, le cas échéant	http://www-labsticc.univ-ubs.fr/~boutillon/NAND/index.html

Rédacteur de ce rapport	
Civilité, prénom, nom	BOUTILLON Emmanuel
Téléphone	02 97 87 45 66
Adresse électronique	Emmanuel.boutillon@univ-ubs.fr
Date de rédaction	Novembre 2019

Liste des partenaires présents à la fin du projet (société/organisme et responsable scientifique)	Lab-STICC/IMT-Atlantique (Cyril Lahuec) IMS/ENSEIRB-MATMECA (Christophe Jégo) ETIS/ ENSEA (Fakhreddine Ghaffari) Lab-STICC/UBS (Emmanuel Boutillon) CEA LETI (Valentin Savin) Thales (Elie Janin) Turbo-Concept (David Gnaëdig)
---	---

B RESUME CONSOLIDE PUBLIC

B.1 INSTRUCTIONS POUR LES RESUMES CONSOLIDES PUBLICS

Du bruit pour lutter contre le bruit !

Ou comment construire de bons codes correcteurs d'erreurs efficaces, rapides et très peu complexes.

Ce titre paradoxal évoque deux types de bruit. Nous ne parlons pas ici de bruit sonore mais des perturbations qui affectent la transmission dans l'espace (téléphonie mobile, wifi) ou dans le temps (clef USB, disque dur) de messages numériques. L'effet de ces perturbations de transmission peut, sous certaines conditions, être complètement supprimé par l'ajout d'un code correcteur d'erreurs bien dimensionné. Un code correcteur d'erreur est un dispositif qui ajoute de la redondance de façon structurée à un message binaire afin de pouvoir le reconstruire si celui-ci est reçu dégradé à la réception (des parties effacées, des 0 transformés en 1 et réciproquement). La puissance du code correcteur d'erreur définit le niveau de dégradation que celui-ci peut corriger. Sa mise en œuvre implique d'une part une perte de débit de transmission, d'autre part, des coûts de mise en œuvre (coût du circuit, temps de traitement et consommation énergétique). Il s'agit d'un dispositif universel dans tous systèmes numériques. Bien que transparent pour l'utilisateur, les codes correcteurs d'erreur font l'objet d'une âpre compétition internationale, tant au niveau scientifique qu'économique (normalisation dans les standards, en particulier). Pour dépasser les limitations des décodeurs actuels, le consortium a étudié pendant 4 ans de nouveaux algorithmes de décodage en utilisant du « bruit » (ou plus précisément, de l'aléa) à l'intérieur même du processus de décodage pour en améliorer les performances.

Une association de trois compétences (théorie de l'information, architecture, programmation) pour créer et valider de nouvelles architectures.

Pour mener à bien ce projet, tous les aspects du problème ont été traités. D'un point de vue théorique, nous avons développé un modèle donnant les performances asymptotiques de décodeurs bruités pour optimiser leurs performances. En parallèle, des outils de simulation rapide ont été développés pour les besoins du projet. Un démonstrateur sur carte FPGA a été réalisé (LDPC) pour valider les concepts développés. Enfin, les décodeurs NAND ont été intégrés dans des outils de simulation pour dériver les performances systèmes d'un récepteur dans des canaux non gaussien propres aux applications des partenaires industriels (canal aéronautique mono-porteuse en particulier).

Résultats majeurs du projet

La réalisation d'une bibliothèque d'outils de simulation rapides de codes correcteurs AFF3CT qui a généré une communauté d'utilisateurs industriels et académiques à travers un consortium hébergé par l'INRIA. La définition de trois nouveaux algorithmes (dont deux brevetés et un en cours de dépôt) tout de décodage sur les codes LDPC, appelés respectivement Sign-Preserving Min Sum, Syndrome Bit Flipping et Gradient Descent Bit Flipping with Momentum qui offre de nouveaux compromis entre performance et complexité. Une architecture matérielle appelée Variable-Node-Shift Based Architecture qui

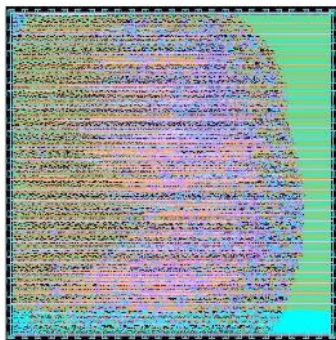
permet d'implémenter un décodeur NAND sans ajout de complexité matérielle. Enfin, la réalisation d'un prototype sur FPGA, avec en particulier une nouvelle méthode d'échantillonnage préférentiel.

Production scientifique

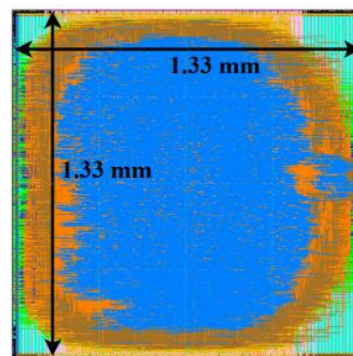
Les résultats du projet NAND ont déjà donné lieu, à la date de la fin du projet, à trois publications de revue (dont 2 IEEE TCAS-I), 16 conférences internationales et un brevet. Outre ces méthodes classiques de diffusion des résultats, le projet NAND a donné lieu à deux « keynotes » lors de conférence internationale, trois invitations à des conférences et une intervention dans le Fall-meeting du comité international de standardisation CCSDS (**Consultative Committee for Space Data Systems**) pour les communications optiques (à l'invitation de l'agence spatiale Allemande).

Illustration

La figure suivante montre deux des circuits qui ont été placé-routé dans le cadre du projet NAND. Le circuit a) représente le circuit placé routé en technologie 90 nm de l'algorithme Probabilistic Parallel Bit Flipping présenté dans un article IEEE TCAS-I, la figure b) représente le circuit placé routé (avec l'aide de l'EPFL) en technologie 28 nm de l'algorithme Sign-Preserving Min-Sum pour le LDPC de la norme 10GbitEthernet (thèse de M. Franklin Cochachin).



a) Implémentation du PPBF pour le code LDPC (1292, 972). Entrée à décision dure. Débit de décodage de 274 Gbit/s par mm² en technologie 90 nm.



b) Implémentation du SP-MS pour le code du standard IEEE 802.3 (10GbitEthernet) LDPC (2048, 1723). Entrée à décision souple sur 3 bits. Débit de décodage de 319.5 Gbit/s par mm² en technologie 28 nm.

Le projet NAND est un projet de recherche collaborative de type PRCE coordonnée par L'Université de Bretagne Sud (UMR Lab-STICC). Il associe aussi l'Enseirb-Matmeca (UMR IMS), l'IMT-Atlantique (UMR Lab-STICC), l'ENSEA (UMR ETIS), les sociétés Thales Communications & Security, Turboconcept et le CEA-LETI ainsi que deux partenaires transatlantiques non financé : Utah State University et University of Arizona. Le projet a commencé en décembre 2015 et a duré 46 mois. Il a bénéficié d'une aide ANR de 687 189 € pour un coût global de l'ordre de 1 M €.

B.2 RESUME CONSOLIDE PUBLIC EN ANGLAIS

NAND: Noise Against Noise Decoders!

Or how to build good error-correcting codes that are efficient, fast and with very low complexity!

This paradoxical title evokes two types of noise. We are not talking about audible noise but disturbances that affect the transmission in space (mobile telephony, wifi) or in time (USB key, hard drive) of digital messages. The effect of these transmission disturbances can, under certain conditions, be completely eliminated by the addition of a well-customized error correction code. An error correcting code is an algorithm that adds redundancy in a structured way to a binary message to be able to retrieve it when is received truncated or with errors at reception (with deleted parts, or 0 transformed into 1 and vice versa). The power of the error correction code defines the level of degradation that it can correct. Its implementation implies a loss of transmission rate and as well as an inevitable hardware overhead (circuit cost, processing time and energy consumption). It is a universal mechanism existing in all digital systems. Although it is transparent to the user, error-correcting codes are subject to fierce international competition, both scientifically and economically (in particular, standardization process). To overcome the limitations of the current decoders, the consortium has studied for 4 years new decoding algorithms using "noise" (or more precisely, randomness) within the decoding process to improve its performance.

An association of three skills (information theory, architecture, programming) to create and validate new architectures.

For carrying out this project, all aspects of the problem have been addressed. From a theoretical point of view, we have developed a model giving the asymptotic performances of noisy decoders to optimize their performances. In parallel, rapid simulation tools have been developed especially for the needs of the project. An FPGA-based demonstrator has been realized (LDPC) to validate the developed concepts. Finally, the NAND decoders have been integrated in simulation tools to derive the system performance of a receiver in non-Gaussian channels specific to the application of industrial partners (single-carrier aeronautical channel in particular).

Major results of the project

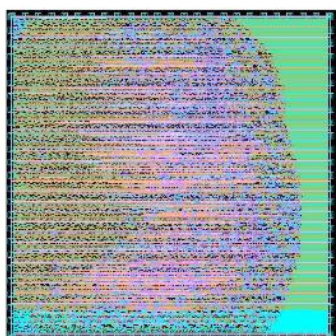
- ✓ The realization of a library for fast simulation tools of correction codes AFF3CT that has generated a community of industrial and academic users through a consortium hosted by INRIA.
- ✓ The development of three new decoding algorithms (two of which have been patented), called respectively Sign-Preserving Min Sum, Bit Flipping Syndrome and Gradient Descent Bit Flipping with Momentum, offers new tradeoffs between performance and complexity.
- ✓ A hardware architecture called Variable-Node-Shift Based Architecture that implements a NAND decoder without adding hardware complexity.
- ✓ Finally, the realization of FPGA-based prototype, with in particular a new importance sampling method.

Scientific production

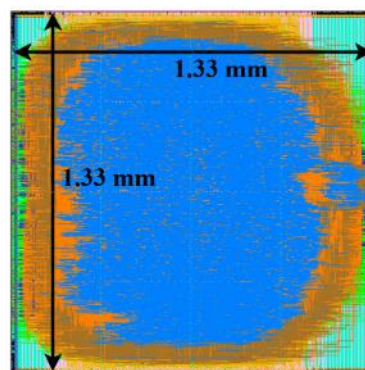
The results of the NAND project have giving rise, at the end of the project, to three review publications (including two IEEE TCAS-I), 16 international conferences and one patent. In addition to these traditional methods of disseminating results, the NAND project resulted in two "keynotes" at international conferences, three invitations to conferences and an intervention in the fall-meeting of the international standardization committee CCSDS (Consultative Committee for Space Data Systems) for optical communications (at the invitation of the German Space Agency).

Illustration

The following figure shows two of the circuits that were placed-routed as part of the NAND project. Circuit a) represents the placed & routed circuit in 90 nm technology of the Probabilistic Parallel Bit Flipping algorithm presented in an IEEE TCAS-I article, Figure b) represents the placed & routed circuit (with the help of EPFL) in 28-nm technology of the Sign-Preserving Min-Sum algorithm for the LDPC of the 10 Gigabit Ethernet standard (Dr. Franklin Cochachin's thesis).



a) Implementation of the PPBF for the LDPC code (1292, 972). Hard decision input. 274 Gbit / s per mm² decoding rate in 90 nm technology.



b) Implementation of SP-MS for IEEE 802.3 (10GbitEthernet) standard LDPC (2048, 1723). Soft decision input on 3 bits. Decoding rate of 319.5 Gbit / s per mm² in 28 nm technology.

The NAND project is a collaborative research project of the PRCE type coordinated by the Université Bretagne-Sud (UMR Lab-STICC). It also combines Enseirb-Matmeca (UMR IMS), IMT-Atlantic (UMR Lab-STICC), ENSEA (UMR ETIS), Thales Communications & Security, Turboconcept and CEA-LETI, as well as transatlantic non-funded partners: Utah State University and the University of Arizona. The project started in December 2015 and lasted 46 months. We received an ANR funding of 687,189 € for an overall cost of 1 M €.

C MEMOIRE SCIENTIFIQUE

Mémoire scientifique non confidentiel

C.1 RESUME DU MEMOIRE

Le projet NAND visait à affiner la compréhension des décodeurs dits « bruités » ou « probabilistes », afin de développer des approches non-conventionnelles pour la conception de décodeurs « nouvelle génération ». En parallèle, l'émergence des communications à très haut débit, a suscité au cours des dernières années un regain d'intérêt pour des décodeurs simples, à très faible complexité, considérés – malgré une capacité de correction considérablement réduite – comme une approche possible pour répondre aux exigences strictes de débit et/ou de latence des nouveaux systèmes de communication.

Cet a priori du projet, l'étude tant théorique que pratique de décodeur bruité, s'est relevé extrêmement fertile. Il a permis aux partenaires de faire ensemble différentes contributions scientifiques dont certaines n'avaient pas été anticipées au moment du dépôt du projet. En particulier, sur les décodeurs très faibles complexités qui sont nécessaires pour les applications de communication optique. De façon symétrique, la proposition initiale prévoyait d'étudier l'utilisation du bruit inhérent au circuit ASIC dans les décodeurs mais nous n'avons pas réussi à trouver une façon pratique d'exploiter cette idée séduisante.

On peut résumer les contributions du projet en trois grandes thématiques : outils, algorithmie et architecture. Nous détaillons dans les trois chapitres suivants ces trois types de contribution. Les Délivrables concernant chaque contribution et, le cas échéant, les publications associées sont indiquées afin de permettre au lecteur d'accéder de façon structurée aux résultats du projet NAND. Les livrables sont tous accessibles sur le site WEB du projet « <http://www-labsticc.univ-ubs.fr/~boutillon/NAND/index.html> », excepté temporairement les deux livrables D1.6 (Randomized bit-flipping decoders) et D4.6 (Randomized bit-flipping decoders for standardized LDPC codes) qui font l'objet d'un dépôt de brevet par le CEA.

C.2 CONTRIBUTIONS ALGORITHMIQUES

Au niveau algorithmique, on peut retenir trois types de contributions. Tout d'abord la qualification des performances de l'algorithme « dithering BP » sur les codes correcteurs d'erreurs LDPC de l'OTAN dans un contexte aéronautique (D4.4.a, D4.4.b), du turbocode pour le DVB-RCS2 (D4.1a), du turbocode pour le LTE (D4.1b) et le LDPC de la 5G (D4.5).

Le développement d'un modèle de performance asymptotique par évolution de densité a permis d'optimiser les performances des décodeurs à propagation de croyance bruité (D1.1, [C9]). A partir des outils développés, la représentation des données a été modifiée pour créer un nouvel algorithme de décodage appelée Sign-Preserving Min-Sum. Cet algorithme permet de décoder des codes LDPC avec une très faible complexité matérielle et peu de dégradation par rapport aux décodeurs de l'état de l'art (D3.2.a). Cette idée a été protégée par un brevet [B1], publié en conférence [C2] et présenté lors d'une journée GDR [I1].

L'ensemble de ces travaux sont décrit dans le rapport de thèse de M. Cochachin [D1]. L'algorithme SP-MS a aussi été étudié dans le cadre des Array Codes (D1.7). Un projet de maturation est en cours avec la SATT Ouest Valorisation.

Dans le domaine des algorithmes de type bit-flipping, le projet NAND a permis de mieux comprendre les aspects théoriques du bit flipping [C1, C4], de développer leur application au domaine des mémoires [C3, C5, C7, C10]. Dans la zone du plancher d'erreur, un nouvel algorithme appelé Syndrom Bit Flipping (SBF) a été développé. Cet algorithme « oublie » l'information du canal pour utiliser le syndrome (les contraintes de parité non-respectées) comme caractéristique unique permettant de corriger l'erreur résiduelle. Un brevet a été déposé sur ce procédé [B2] et une publication en revue IEEE est en cours de rédaction [Jb]. Enfin, tout à la fin du projet, le décodage par bit flipping avec inertie a été proposé par le CEA (D1.4). Cet algorithme a des performances remarquables, en particulier pour la 5G (D4.6) et semble aussi promis à un très bel avenir. Un brevet est en cours de dépôt sur cette technique [B3] et une publication est en cours de soumission [Ja].

Les contributions algorithmiques ont donné lieu à deux « key notes » lors de conférence ([P1, P2]), deux présentations invités à des workshops [T1, T3], l'organisation d'une journée GDR [D1] et trois présentations lors de GDR [I1, I2, I3].

C.3 CONTRIBUTIONS SUR LES OUTILS

D'un point de vue outils, la réalisation d'AFF3CT permet maintenant à chaque partenaire de disposer d'une bibliothèque de composants logiciels optimisés permettant l'évaluation très rapide des performances de codes correcteurs d'erreurs de type LDPC ou Turbo-Code. L'ensemble des codes développés dans le cadre du projet NANR est accessible en logiciel libre directement le site d'AFF3CT (<https://aff3ct.github.io/index.html>). L'outil AFF3CT agrège maintenant une communauté d'utilisateurs industriels et académiques à travers un consortium hébergé par l'INRIA. Les travaux sur AFF3CT ont généré deux publications de revue [R3, R4], 4 conférences ([C8, C13, C14, C16]), une présentation invitée ([T2]) et deux présentations à des GDR ([I4, I5]).

Le projet NAND a permis aussi la mise en place d'une chaîne d'émulation hardware sur FPGA permettant d'émuler les performances des codes correcteurs d'erreurs à de très forts débits (jusqu'à 30 Gbit/s). De tels débits permettent d'évaluer rapidement les performances d'un décodeur pour des taux d'erreurs par trame jusqu'à 10^{-9} . Une nouvelle méthode par « importance sampling » a été proposée et implémentée sur FPGA pour garantir des taux d'erreurs trames autour de 10^{-12} , soit un domaine de performance permettant de qualifier un décodeur pour une application optique [Jc].

C.4 CONTRIBUTIONS SUR LES ARCHITECTURES

Au niveau architecture, une nouvelle technique appelée VNS (Variable Node Shift) a été proposée et implémentée en ASIC. Ce travail a été valorisé par de nombreuses publications en conférences [C6, C11, C12] et deux revues IEEE [R1, R2].

L'architecture SP-MS a été étudiée et implémenté pour différents types de codes : 10 GbitEthernet (D3.2a) et Array Code en particulier (D3.4). L'architecture GDBF with momentum a été aussi implémentée en FPGA (D3.2b).

C.5 EXPLOITATION DES RESULTATS

Les résultats du projet NAND ont donné lieu aux projets et aux développements potentiels suivants :

Logiciel AFF3CT : Cette contribution a permis au partenaire IMS de nouer de nouvelles collaborations avec des Industriels comme Thales SIX GTS, Airbus S&D et ArianeGroup. Les travaux perdurent et un site web démontrant l'activité actuelle autour de la ToolBox AFF3CT : <https://aff3ct.github.io/index.html>. L'objectif principal pour l'année 2020 est la mise en place d'un consortium pour assurer la pérennité de la ToolBox AFF3CT : <https://aff3ct.github.io/consortium.html>.

Brevets SP-MS et SBF : Une convention de valorisation avec la SATT Ouest Valorisation pour financer un ingénieur pendant 6 mois pour valoriser industriellement ces deux brevets autour d'une norme pour les communications optiques. De plus, un contrat est en cours de négociation avec un grand groupe industriel.

Valorisation TurboConcept : Les travaux effectués dans le projet NAND recèlent du potentiel de valorisation par TurboConcept. La technique la plus pertinente à court terme est celle étudiée dans le WP4 pour améliorer les performances du turbo-décodeur LTE pour application IoT. Ces nouvelles idées algorithmiques prometteuses se sont prolongées au-delà du projet NAND par le lancement d'une thèse CIFRE conjointe TurboConcept/UBS en janvier 2019 (Titouan Gendron). Les résultats de ces travaux ont permis de définir de nouveaux algorithmes offrant un avantage concurrentiel à TurboConcept. Ils sont déjà proposés optionnellement depuis septembre 2019 dans des produits TurboConcept TC1770 / TC1710.

Valorisation Thales : Pour Thales, ce projet a pu mettre rapidement en évidence que l'injection de bruit dans un décodeur avait assez peu d'impact sur la zone de convergence pour un décodeur suffisamment quantifié [T1.1]. Cela était l'un des principaux intérêts pour Thales au début du projet. Cependant, la suite du projet a pu apporter des résultats intéressants dans le cadre du WP4 sur la réduction des planchers d'erreur sur les décodeurs quantifiés. Ces travaux n'ont pas encore débouché sur une valorisation, mais des études sont à venir pour approfondir les résultats du projet. Ce projet a également apporté un nouvel outil de simulation de code correcteur d'erreurs AFF3CT (WP2). Cet outil a été depuis utilisé dans le cadre de plusieurs études amont. La performance de cet outil permet d'économiser beaucoup de temps de simulation.

Valorisation académique : Pour conclure, les diverses invitations des membres du consortium comme *keynotes speakers* ou en conférences invités montrent que le consortium (en incluant nos partenaires des USA) fait maintenant référence au niveau mondial dans le domaine des codes correcteurs d'erreurs faibles complexités.

C.6 CONCLUSIONS

Ce projet nous a permis de comprendre les apports et les limites de l'ajout de bruit dans un décodeur. De nouvelles voies de recherche ont été ouvertes avec des solutions algorithmiques et architecturales qui influenceront très certainement de futures générations de décodeurs, en particulier, dans le domaine des communications optiques.

Pour terminer ce rapport, le financement par l'ANR du projet NAND a permis de mettre en commun différentes compétences en théorie de l'information, architecture, programmation parallèle. Comme l'atteste les résultats, le projet s'est caractérisé par une très bonne dynamique de recherche et de partenariat entre les membres du consortium. Cette dynamique sera prolongée entre les mêmes partenaires académiques et le CEA dans un complexe applicatif différent (et donc, avec d'autres partenaires industriels) dans le cadre du projet ANR PRCE 2019 QCSP.

D LISTE DES LIVRABLES

Date livraison	n°	Titre	Nature	Partenaires	Commentaires
Nov. 2016	1.1	Waterfall Performance Validation of NAN-LDPC decoders	Rap.	ETIS, UBS	
Nov. 2016	1.2	Trapping Set Characterization and Analysis under NAN-MS	Article conférence	ETIS, UBS	Délivrable sous forme d'article.
-	1.3	Importance sampling Prediction of the Error Floor	-	ETIS, UBS	Délivrable annulé après évaluation à mi-parcours.
Fev. 2019	1.4	Optimization of the Noise Utilization in Hardware	Rap.	ETIS, UBS	Délivrable sous forme d'article.
-	1.5	Theoretical Analysis of NAN Turbo decoders	Article revue	ETIS, UBS	Délivrable annulé après évaluation à mi-parcours.
Sept. 2019	1.6	Report on randomized bit-flipping decoders and bit flipping decoders	Rap.	CEA-LETI	
Sept. 2019	1.7	Report on Optimal decoding of array code.	Rap.	UBS	
2017	2.1	software description of a generic LDPC decoder	Logiciel	IMS	Disponible "on line".
2017	2.2	software description of a generic Turbo-decoder	Logiciel	IMS	Disponible "on line".
2017	2.3	Transfer of a design skills	Rap.	IMS	Formation au sein de NAND
-	2.4	Software of FEC decoders with hardware noise models	Rap.	IMS	Abandonné pour raison scientifique

Date livraison	n°	Titre	Nature	Partenaires	Commentaires
Juin 2017	3.1	Architectural studies	Rap.	Turbo-Concept	
Oct. 2019	3.2. a	Result of hardware emulation of a LDPC code, report comparing pro - cons of NAN Decoder versus classical decoder.	Rap.	UBS	
	3.2. b	Result of hardware emulation of a LDPC code, report comparing pro and cons of randomized bit-flipping decoders (memory-enhanced PGDBF and syndrome-based bit-flipping) versus classical decoder.	Rap.	CEA-LETI	Implémentation en cours pour l'écriture d'un article.
	3.3	Noise generation. Comparison between digital and analog noise generation.	Rap.	UBS	Délivrable annulée après évaluation à mi-parcours.
Oct. 2019	3.4	Architecture and complexity estimation of an Array code decoder.	Rap.	UBS	
Janv. 2019	4.1. a	performance of a NAN decoder applied to the satellite application.	Rap.	Turboconcept	
Janv. 2019	4.1. b.	performance of a NAN decoder applied to the WIRELESS 4G TurboCode.		Turboconcept	
-	4.1. c	Hardware prototype for demonstrating the technical results obtained for one of the two applications considered in the task 4.1.	Rap.	Turboconcept	Annulé suite avenant ANR.
-	4.2	DVB-S2 and DVB-S2X	Rap.	ST-Microelectronics	Abandonné suite au départ de STM du projet.
-	4.3	US Cable Modems	Rap.	ST-Microelectronics	Abandonné suite au départ de STM du projet.
Mars 2018	4.4. a	Simulation results over aeronautical channel models.	Rap.	Thales	
Avril 2019	4.4. b	Simulation results of NAND LDPC decoders over aeronautical channels and impact of quantization.	Rap.	Thales	
Janv. 2019	4.5	Results on the study of the performance of a NAN decoder applied to the 5G LDPC codes.	Rap. + soft.	Turboconcept	
Sept. 2019	4.6	Report on randomized bit-flipping decoders for	Rap.	CEA	

Date livraison	n°	Titre	Nature	Partenaires	Commentaires
		standardized LDPC codes.			
Juil. 2019	5.1	State of the art	Rap.	IMT-A	
Juil. 2019	5.2	Exogenous sources of noise	Rap.	IMT-A	
	5.3	Endogenous sources of noise	Rap.	IMT-A	Abandonné pour raison scientifique
	5.4	Integrations to the design flow	Rap.	IMT-A	Abandonné pour raison scientifique

E IMPACT DU PROJET

E.1 INDICATEURS D'IMPACT

Nombre de publications et de communications (à détailler en E.2)

		Publications multipartenaires	Publications monopartenaires
International	Revue à comité de lecture	2	2
	Ouvrages ou chapitres d'ouvrage		
	Communications (conférence)	7	9
France	Revue à comité de lecture		
	Ouvrages ou chapitres d'ouvrage		
	Communications (conférence)		1
Actions de diffusion	Articles vulgarisation		
	Conférences vulgarisation		
	Autres		

Autres valorisations scientifiques (à détailler en E.3)

	Nombre, années et commentaires (valorisations avérées ou probables)
Brevets internationaux obtenus	
Brevet international en cours d'obtention	2 demandes en cours d'examen : [B1, B2]. Une demande en cours de rédaction [B3].
Brevets nationaux obtenus	
Brevet nationaux en cours d'obtention	2 demandes européennes pouvant aboutir aussi à un dépôt français.
Licences d'exploitation (obtention / cession)	
Créations d'entreprises ou essaimage	
Nouveaux projets collaboratifs	
Colloques scientifiques	Organisation journée GDR ISIS "Energy-Efficiency In Error-Correction Coding" 8 juin 2016.
Autres (préciser)	Contrat de pré-maturation avec la SATT Ouest Valorisation sur les brevets [B1, B2].

	<p>Deux présentations aux journées GDR-ISIS (09/2019 et 6/2016).</p> <p>Deux présentations invitées au « Huawei Workshop on Coding for Future Optical Communications. », Hong Kong (12/2018)</p> <p>Présentation invitée au "Oberpfaffenhofen Workshop on High Throughput Coding (OWHTC)", 02/2019.</p> <p>Conférence plénière, 5th IEEE Turbo-Symposium on iterative decoding, 12/2018.</p> <p>Conférence plénière 5th IEEE Global Conference on Signal and Information Processing, 11/2017</p>
--	--

E.2 LISTE DES PUBLICATIONS ET COMMUNICATIONS

Thèse de doctorat

[D1] F. Cochachin, " Noise-Against-Noise Decoder", 2/5/2019, Thèse Université de Bretagne Sud.

Journaux internationaux

Brevets soumis

[B1] F. Cochachin Henostroza, E. Boutillon, "ITERATIVE DECODER FOR DECODING A CODE COMPOSED OF AT LEAST TWO CONSTRAINT NODES", Demande de brevet Européen EP18306599.4, Université de Bretagne Sud, 03/12/2018.

[B2] E. Boutillon, C. Winstead, "Method for controlling a variable node of a LDPC decoder and corresponding variable node and LDPC decoder", Demande de brevet Européen. EP 18305269.5, Université de Bretagne Sud, 13/03/2018.

[B3] Valentin Savin "Decoder with momentum", ondoing redaction, CEA.

Journaux soumis ou à soumettre

[Ja] V. Savin, "Gradient Descent Bit-Flip Decoding with Momentum", IEEE Communications Letters, 2019 (under review).

[Jb] E. Boutillon, C. Winstead, F. Ghaffari, "The Syndrome Bit Flipping Algorithm for LDPC Codes", IEEE Communications Letters, 2019 (to be submitted).

[Jc] E. Boutillon, "Fast performance estimation of error control code with Agnostic Importance Sampling method". IEEE Communications Letters, 2019 (to be submitted).

Journaux publiés

[R1] Khoa Le, Fakhreddine Ghaffari, Lounis Kessal, David Declercq, Emmanuel Boutillon, Chris Winstead, Bane Vasic, "A Probabilistic Parallel Bit-Flipping Decoder for Low-Density Parity-Check Codes", IEEE Transactions on Circuits and Systems I: Regular Papers, 2018, pp.1 - 14. ?10.1109/TCSI.2018.2849679?

[R2] Khoa Le, David Declercq, Fakhreddine Ghaffari, Lounis Kessal, Oana Boncalo and Valenti Savin, "Variable-Node-Shift Based Architecture for Probabilistic Gradient Descent Bit Flipping on QC-LDPC Codes," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 65, no. 7, pp. 2183-2195, July 2018.

[R3] Mathieu Léonardon, Adrien Cassagne, Camille Leroux, Christophe Jégo, Louis-Philippe Hamelin and Yvon Savaria, "Fast and Flexible Software Polar List Decoders", Springer Journal of Signal Processing Systems (JSPS), January 2019.

[R4] A. Cassagne, O. Hartmann, M. Léonardon, K. He, C. Leroux, R. Tajan, O. Aumage, D. Barthou, T. Tonnellier, V. Pignoly, B. Le Gal and C. Jégo, "AFF3CT: A Fast Forward Error Correction Toolbox! ", SoftwareX, Elsevier, (in press, 2019, available at <https://doi.org/10.1016/j.softx.2019.100345>).

Conférences internationales

[C1] Chris Winstead, Tasnuva Tithi, Emmanuel Boutillon, Fakhreddine Ghaffari, "Recent Advances on Stochastic and Noise Enhanced Methods in Error Correction Decoders". 10th Int. Symp. Turbo Codes & Iter. Inf. Proc. (ISTC 2018), Dec. 2018, Hong Kong.

[C2] Franklin Cochachin, Emmanuel Boutillon, David Declercq, "Optimization of Sign-Preserving Noise-Aided Min-Sum Decoders with Density Evolution", 10th Int. Symp. Turbo Codes & Iter. Inf. Proc. (ISTC 2018), Dec. 2018, Hong Kong.

[C3] Khoa Le, Fakhreddine Ghaffari and David Declercq, "On the use of Probabilistic Parallel Bit-Flipping decoder for the storage systems", IEEE 61st International Midwest Symposium on Circuits and Systems (MWSCAS), Windsor, Canada, August 2018.

[C4] Khoa Le, Fakhreddine Ghaffari and David Declercq, "The Probabilistic Finite Alphabet Iterative Decoder for Low-Density Parity-Check Codes", IEEE 61st International Midwest Symposium on Circuits and Systems (MWSCAS), Windsor, Canada, August 2018.

[C5] Fakhreddine Ghaffari and Bane Vasic, "Probabilistic Gradient Descent Bit-Flipping Decoders for Flash Memory Channels", IEEE International Symposium on Circuits and Systems (ISCAS 2018), Italy, 27-30 May 2018.

[C6] Khoa Le, Fakhreddine Ghaffari, Lounis Kessal, David Declercq, Valentin Savin and Oana Boncalo "Lightweight Hardware Architecture for Probabilistic Gradient Descent Bit Flipping on QC-LDPC Codes", IEEE International Symposium on Circuits and Systems (ISCAS 2018), Italy, 27-30 May 2018.

[C7] Khoa Le and Fakhreddine Ghaffari, "On the Use of Hard-Decision LDPC Decoders on MLC NAND Flash Memory", IEEE Int. Conference on Systems, Signals & Devices SSD'18, Hammamet, Tunisia, March 19-22 2018.

[C8] Adrien Cassagne, Olivier Hartmann, Mathieu Léonardon, Thibaud Tonnellier, Guillaume Delbergue, Camille Leroux, Romain Tajan, Bertrand Le Gal, Christophe Jégo, Olivier Aumage and Denis Barthou Fast Simulation and Prototyping with AFF3CT The 20th International Workshop on Signal Processing Systems (SiPS 2017), October 2017 (demo night).

- [C9] Franklin Cochachin, David Declercq, Emmanuel Boutillon, Lounis Kessal, "Density Evolution Thresholds for Noise-Against-Noise Min-Sum Decoders", IEEE International Symposium on Personal, Indoor and Mobile Radio Communications (PIMRC'2017), 08-13 October 2017 - Montreal, QC, Canada.
- [C10] Fakhreddine Ghaffari, Ali Akoglu, Bane Vasic and David Declercq, "Multi-mode Low-latency Software-defined Error Correction for Data Centers", invited paper, in 26th International Conference on Computer Communication and Networks (ICCCN), Vancouver, Canada, August 2017.
- [C11] Khoa Le, Fakhreddine Ghaffari, David Declercq, Bane Vasic and Chris Winstead "A Novel High-Throughput, Low-Complexity Bit-Flipping Decoder for LDPC Codes" International Conference on Advanced Technologies for Communications, (ATC 2017), October 18- 20, Quynhon, Vietnam
- [C12] Fakhreddine Ghaffari, Burak Unal, Ali Akoglu, Khoa Le, David Declercq and Bane Vasic, "Efficient FPGA Implementation of Probabilistic Gallager B LDPC Decoder", IEEE International Conference on Electronics, Circuits and Systems (ICECS), Batumi, Georgia, 2017
- [C13] Adrien Cassagne, Olivier Aumage, Camille Leroux, Denis Barthou and Bertrand Le Gal Energy Consumption Analysis of Software Polar Decoders on Low Power Processors The 24nd European Signal Processing Conference (EUSIPCO 2016), September 2016.
- [C14] D Declercq, C Winstead, B Vasic, F Ghaffari, P Ivanis, E Boutillon, "Noise-aided gradient descent bit-flipping decoders approaching maximum likelihood decoding", invited paper, 9th International Symposium on Turbo Codes and Iterative Information Processing (ISTC), pp.300 - 304, 2016, Sep 2016, Brest, France.
- [C15] Adrien Cassagne, Thibaud Tonnellier, Camille Leroux, Bertrand Le Gal, Olivier Aumage et al. Beyond Gbps Turbo Decoder on Multi-Core CPUs International Symposium on Turbo Codes & Iterative Information Processing, September 2016, Brest, France. 2016, Turbo Codes and Iterative Information Processing.
- [C16] Adrien Cassagne, Bertrand Le Gal, Camille Leroux, Olivier Aumage and Denis Barthou An Efficient, Portable and Generic Library for Successive Cancellation Decoding of Polar Codes The 28th International Workshop on Languages and Compilers for Parallel Computing (LCPC 2015), September 2015.

E.3 LISTE DES ELEMENTS DE VALORISATION

Plenary talks

[P1] Chris Winstead "The Benefits of Being Erratic: Correcting Errors with Noise-Enhanced Gradient Algorithms" 5th IEEE Global Conference on Signal and Information Processing, june 2017, Montreal.

[P2] David Declercq, "Noise-Aided Gradient Descent Bit-Flipping Decoders approaching Maximum Likelihood Decoding", 5th International Symposium on Turbo Code and Iterative Information Processing, sept. 2016.

Invited talks

[T1] Emmanuel Boutillon, "Good LDPC decoders with exchanged messages of size 1, 2 and 3 bits", Oberpfaffenhofen Workshop on High Throughput Coding (OWHTC), Oberpfaffenhofen, 02/2019

[T2] Christophe Jégo, "AFF3CT: A Fast Forward Error Correction Toolbox for Fast Simulation and FPGA Prototyping", Huawei Workshop on Coding for Future Optical Communications, Hong Kong, 12/2019.

[T3] Emmanuel Boutillon "LDPC and NB-LDPC hardware for optical fiber", Huawei Workshop on Coding for Future Optical Communications, Hong Kong, 12/2019.

Organisation d'une journée commune GDR-ISIS et SoC2.

[D1] David Declecq, Elsa Dupraz and Emmanuel Boutillon, organisation de la journée GDR ISIS "Energy-Efficiency In Error-Correction Coding" 8 of juin 2016, Paris (31 participants, dont des représentant des laboratoires Français (Lab-STICC, ETIS, ENSTA Paris, CEA LETI, IMS), Allemand (TU Kaiserslautern), Suisse (EPFL, ETH Zurich), Belge (IMEC), Finlandais (Univ. of Turku), et Américain (Utah Sate Univ.). De plus, trois sociétés ont aussi participé à cette journée (Thales, Huawei et Nokia).

Présentation aux journées GDR-ISIS et SoC²

[I1] Fakhreddine Gafadhi, Franklin Cochanchin and Emmanuel Boutillon. "Codage, modulation et traitement du signal pour les communications optiques", Journée GdR ISIS - SoC (19 September 2019), Paris.

[I2] Chris Winstead: Energy efficient bit-flipping LDPC decoders, journée commune GdR ISIS – GdR SoC2 (8 juin 2916), Paris.

[I3] Fakheddine Ghaffari: Hardware Efficient Implementation of Probabilistic Gradient Descent Bit-Flipping, journée commune GdR ISIS – GdR SoC2 (8 juin 2916), Paris.

[I4] Bertrand Legal: Progress in software implementations of ECC decoders, journée commune GdR ISIS – GdR SoC2 (8 juin 2916), Paris.

[I5] Adrien Cassagne, Mathieu Léonardon, Olivier Hartmann, Thibaud Tonnellier, Guillaume Delbergue, Valentin Giraud, Camille Leroux, Romain Tajan, Bertrand Le Gal, Christophe Jégo, Olivier Aumage and Denis Barthou AFF3CT : Un environnement de simulation pour le codage de canal, Journée GdR SoC², June 2017.

Mobilités internationales

November 2018: Visit of Franklin Cochachin at EPLF (Lausanne) in the frame of the NAND projet, Franklin Cochachin, PhD student at UBS, will visit EPFL for a week to do a 28 nm FDSOI Layout chip of a very efficient LDPC decoder (400 Gbit/s of decoding throughput expected).

April 2017: Visits of Emmanuel Boutillon and Fakheddine Ghaffari in USA

In April 2017, Emmanuel Boutillon spent two weeks in Utah State University working with Chris Winstead. In parallel, Fakhreddine Ghaffari spent 3 weeks in April

E.4 BILAN ET SUIVI DES PERSONNELS RECRUTES EN CDD (HORS STAGIAIRES)

Identification				Avant le recrutement sur le projet			Recrutement sur le projet				Ap
Nom et prénom	Sexe H/F	Adresse email (1)	Date des dernières nouvelles	Dernier diplôme obtenu au moment du recrutement	Lieu d'études (France, UE, hors UE)	Expérience prof. Antérieure, y compris post-docs (ans)	Partenaire ayant embauché la personne	Poste dans le projet (2)	Durée missions (mois) (3)	Date de fin de mission sur le projet	De pro (4)
Nebhen Jamel	H	nebhen_jamel@yahoo.fr	Avril 2019	Doctorat	France		IMT-Atlantique	Post Doc	12	31/08/2017	CD
Franklin Cochachin	H	franklinch7@gmail.com	1/11/2019	Ingénieur	HORS UE	INGENIEUR	UBS	DOCTORANT, puis POST-DOC	21S	30/09/2019	
Cassagne Adrien	H	adrien.cassagne@inria.fr	30/10/2019	Diplôme d'Ingénieur	France	CDD Ingénieur	IMS	Ingénieur	16 Mois	31/08/2017	Th
COCHACHIN Franklin	H	franklinch7@gmail.com	1/11/2019	INGENIEUR	HORS UE	Ingénieur	ENSEA	DOCTORANT	18 MOIS ENSEA	31/07/2017	CD
LE TRUNG Khoa	H	khoa.le@hcmut.edu.vn	1/11/2019	DOCTORAT	FRANCE	Doctorant ETIS	ENSEA	POST DOC	15,5 MOIS	19/12/2018	I R
MARCHAND Cédric	H	Cedric.marchand@univ-ubs.fr	1/11/2019	INGENIEUR	FRANCE	IGR UBS	UBS	INGENIEUR	12	31/12/2018	INC UB

Aide pour le remplissage

- (1) **Adresse email** : indiquer une adresse email la plus pérenne possible
- (2) **Poste dans le projet** : post-doc, doctorant, ingénieur ou niveau ingénieur, technicien, vacataire, autre (préciser)
- (3) **Durée missions** : indiquer en mois la durée totale des missions (y compris celles non financées par l'ANR) effectuées sur le projet
- (4) **Devenir professionnel** : CDI, CDD, chef d'entreprise, encore sur le projet, post-doc France, post-doc étranger, étudiant, recherche d'emploi, sans nouvelles
- (5) **Type d'employeur** : enseignement et recherche publique, EPIC de recherche, grande entreprise, PME/TPE, création d'entreprise, autre public, autre privé, libéral, autre (préciser)
- (6) **Type d'emploi** : ingénieur, chercheur, enseignant-chercheur, cadre, technicien, autre (préciser)
- (7) **Lien au projet ANR** : préciser si l'employeur est ou non un partenaire du projet
- (8) **Valorisation expérience** : préciser si le poste occupé valorise l'expérience acquise pendant le projet.

Les informations personnelles recueillies feront l'objet d'un traitement de données informatisées pour les seuls besoins de l'étude anonymisée sur le devenir professionnel des personnes recrutées sur les projets ANR. Elles ne feront l'objet d'aucune cession et seront conservées par l'ANR pendant une durée maximale de 5 ans après la fin du projet concerné. Conformément à la loi n° 78-17 du 6 janvier 1978 modifiée, relative à l'Informatique, aux Fichiers et aux Libertés, les personnes concernées disposent d'un droit d'accès, de rectification et de suppression des données personnelles les concernant. Les personnes concernées seront informées directement de ce droit lorsque leurs coordonnées sont renseignées. Elles peuvent exercer ce droit en s'adressant l'ANR (<http://www.agence-nationale-recherche.fr/Contact>).