

Architectures et outils pour la radio logicielle

Olivier Sentieys

ENSSAT/LASTI
INRIA Action R²D²

Retargetable Reconfigurable Digital Devices

sentieys@enssat.fr



Plan

- Introduction
 - SOC (terminal), carte (BS), prototypage
- Principaux algorithmes et complexité
- Cibles architecturales
 - ASIC
 - FPGA et architectures reconfigurables
 - DSP
- Flot de développement
 - Matlab, C, SystemC, compilation, ...
- Cartes de développement

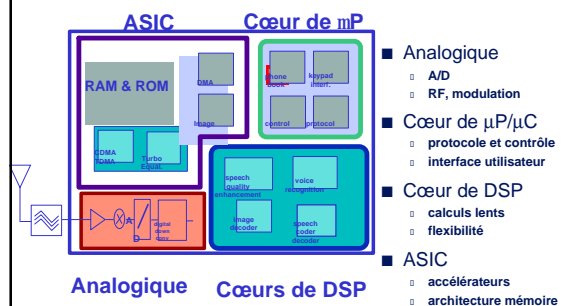


Cibles technologiques

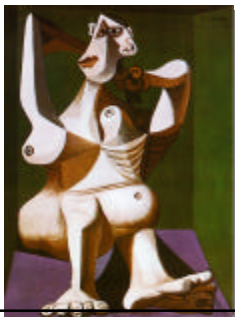
- Systèmes sur Silicium (SOC)
 - Terminal
 - {composants} hétérogènes à intégrer sur un SOC autour d'un réseau de communication
 - Coeurs de processeurs, ASIC, ...
 - Notion de plateforme
- Carte
 - Stations de base
 - {composants} standards (FPGA, DSP, RISC) et dédiés
- Carte de prototypage



Systèmes sur Silicium (SOC)



Le cauchemar des SOC actuels



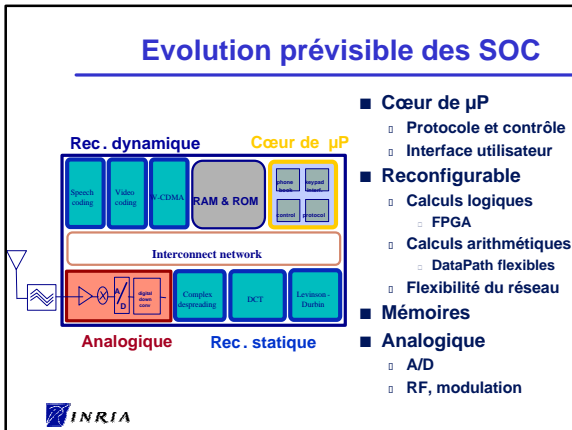
"Femme se coiffant"
Pablo Picasso
1940

[Rabaey00]

Systèmes sur Silicium

- Notion de plate-forme matérielle
 - {composants} prédéfinis (IP) spécifiques (coprocesseur) ou programmables (processeur), reconfigurables (FPGA, ARD)
 - spécialisation de la plate-forme pour un domaine d'applications
- Exemples
 - TI's OMAP, Philips' Nexperia, Intel's PCA (Personal Internet Communications Architecture), Infineon' Bluetooth, Mgold (3G), ...





- ### Plan
- Introduction
 - SOC (terminal), carte (BS), prototypage
 - Principaux algorithmes et complexité
 - Cibles architecturales
 - ASIC
 - FPGA et architectures reconfigurables
 - DSP
 - Flot de développement
 - Matlab, C, SystemC, compilation, ...
 - Cartes de développement
- INRIA

- ### SDR : algorithmes impliqués
- Filtrage sélectif et sous échantillonnage
 - Modulation/démodulation
 - BPSK, QPSK, QAM, FSK, GMSK
 - Filtrage de Nyquist
 - Techniques d'accès
 - TDMA, CDMA, WCDMA, MC-CDMA, OFDM
 - Synchronisation
 - Codages canal
 - Codages source
- INRIA

- ### Complexité des algorithmes
- Exemple d'un récepteur WCDMA
 - $F_c = 3.84 \text{ MHz}$, $SF = 4..256$
 - Filtre de réception
 - $L = 32 \dots 128$, sur-échantillonnage 4 ou 8
 - Complexité : 980 ... 7860 MOPS
 - Rake Receiver
 - 6 fingers
 - Complexité : 930 MOPS
 - MUD (150 utilisateurs)
 - 40 GOPS ... 140 TOPS
- INRIA

Complexité

- Comparaison du débit d'échantillons et de la taille des données pour deux standards

Standard	F_e (Msps)	Nombre de bits
GSM	0.4	12
W-CDMA	32	5

- Implications architecturales
 - Taille des données variable
 - Débit variable

INRIA

- ### Plan
- Introduction
 - SOC (terminal), carte (BS), prototypage
 - Principaux algorithmes et complexité
 - Cibles architecturales
 - ASIC
 - FPGA
 - DSP
 - Flot de développement
 - Matlab, C, SystemC, compilation, ...
 - Cartes de développement
- INRIA

Métriques

■ Performances

- Efficacité énergétique = $Op/J = MOPS/mW$
- $MOPS = \frac{Fclk \cdot Nop}{mW} = \frac{Fclk \cdot Nop}{Nop \cdot Aop \cdot Csw \cdot Fclk \cdot Vdd^2} = \frac{1}{Aop \cdot Csw \cdot Vdd^2}$
- Efficacité par surface = $MOPS/mm^2$

■ Figure de mérite [Chien00]

- $\frac{Transistors \cdot MOPS \cdot bits}{mm^2 \cdot mW \cdot s}$

■ Flexibilité

Aop: Average Area of Op
Csw: Switch Cap. / mm^2



ASIC

■ Implémentation la plus efficace

- Parallélisme, pipeline

■ e.g. 0.13um

- multiplieur : $0.015mm^2$, $5pJ/Op@1V$
- $50mm^2$: 5000 add ou reg et 500 mult

■ Un ASIC bien conçu peut répondre à plusieurs normes

■ Evolution difficile mais conception peut être rapide (dans certains cas)

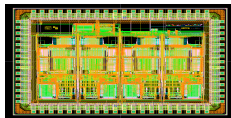


ASIC

■ Filtre adapté WCDMA (8.Fc, 32 taps)

- UMC 0.18um: 12ns, 10GOPS, 80mW, 0.08mm²

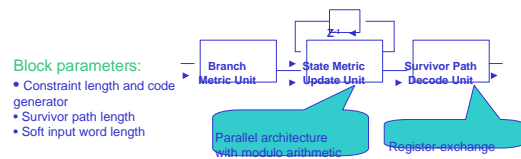
■ CDMA/MUD [Brodersen01]



- Four adaptive pilot correlators
- Die size: 3.38mm x 4.58mm
- Transistor Count: 0.4 million
- 1.2-2.4 GOP with 25 MHz clock



Viterbi Decoder



Number of states = 64, Survivor path length = 30, Soft input precision = 3-bit

Macro-Architecture	Power @1-GHz (W)	Area (mm ²)	Critical path delay (ns)	Decoding speed (Mb/s)
Parallel	0.182	0.531	9.35	107
Pipelined	0.154	0.617	41.17	2.28
Parallel-Pipelined	0.303	0.929	27.83	26.9



[Brodersen01]

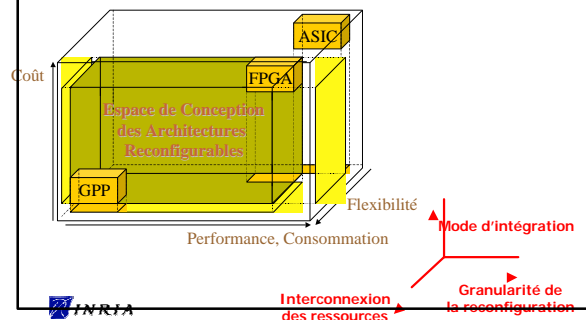
Architecture reconfigurable

■ Architecture reconfigurable : architecture dont les ressources (calcul, interconnexions, ...) peuvent être modifiées pour s'adapter à un traitement

- Reconfiguration dynamique au fil de l'exécution
- Reconfiguration statique précède l'exécution



Espace de conception des AR



Granularité de la reconfiguration

- Reconfiguration au niveau système
 - Lx, C62 (décomposition en cluster)
- Reconfiguration au niveau fonctionnel
 - Pleiades, RaPiD, DART
- Reconfiguration au niveau opérateur
 - Chameleon, Piperench, Morphosys
- Reconfiguration au niveau porte
 - Napa, GARP, FPGA



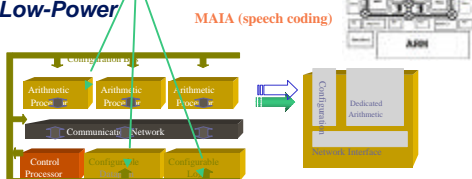
État de l'art

- Plate-forme FPGA (arrêt en 1999)
 - http://www.io.com/~guccione/HW_list.html
 - 90 références
- Reconfigurable Computing
 - <http://xputers.informatik.unikl.de/papers/main.html>
 - "A decade of reconfigurable computing : a visionary retrospective" DATE 2001, R. Hartenstein
 - 20 architectures



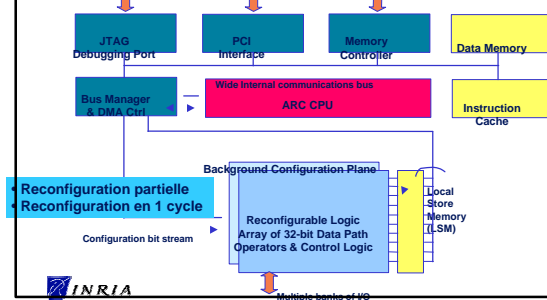
Pleiades (UC Berkeley)

- Plateforme reconfigurable au niveau fonctionnel, spécialisée pour un domaine d'applications
 - Plusieurs niveaux de reconfiguration
- Low-Power



Chameleon Reconfigurable Processor

- Reconfiguration au niveau opérateur



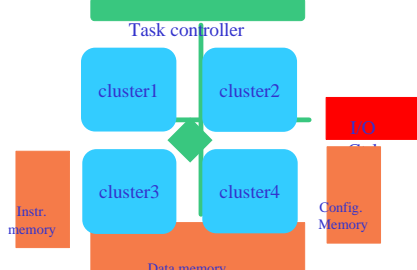
DART (ENSSAT)

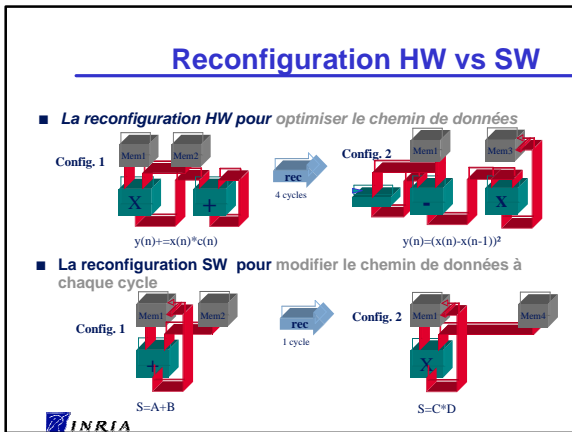
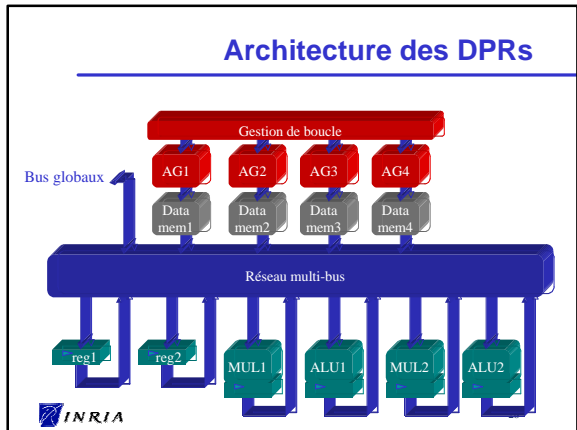
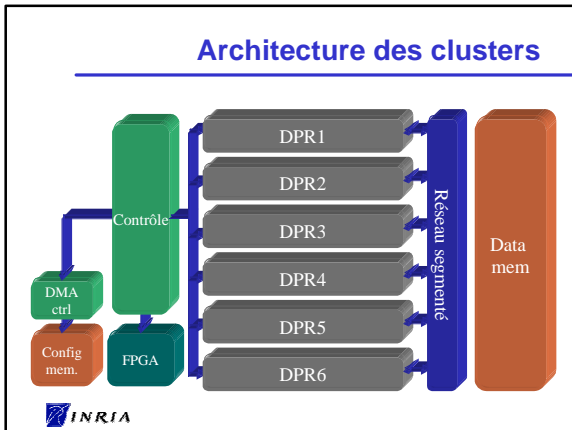
- Architecture autonome
- 2 grains de reconfiguration
 - Fonctionnel (DPR), porte (FPGA)
- Reconfiguration dynamique
- Faible consommation
- Distribution des ressources
 - calcul, interconnexions, contrôle, stockage



Architecture système de DART

- Collaboration ENSSAT/UBO/STMicroelectronics



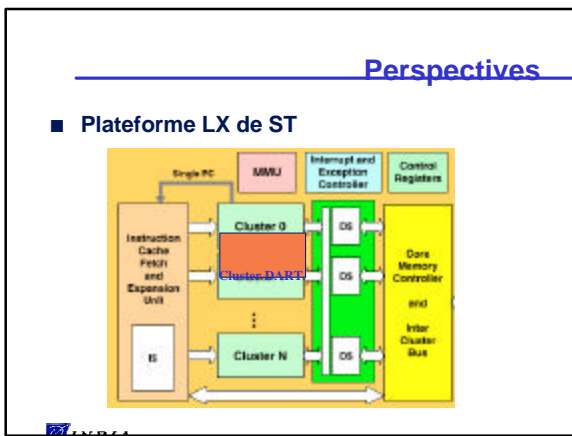


Résultats d'implémentations sur DART

- Hautes performances
- Faible consommation
 - Peu d'instructions
 - Peu d'accès mémoire
- 11 GOPS/cluster
- 1.6 GMACS/cluster
- 0.64 W @ 11GOPS
- 16 MIPS/mW @ 11GOPS
- 0.18u CMOS

Applications	nb DPR	nb op*	nb cycles	accès mem. Instructions	accès mem. données	énergie
Complex Despreading (SF=256)	2	2048	258	4	1032	435nJ
DCT 2-D sur MB 8x8	4	2048	85	6	1088	60nJ
Autocorrelation sur 240 points	6	57600	2543	43	5040	3µJ

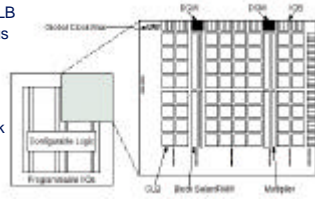
INRIA



- ### Reconfiguration niveau porte
- Reconfiguration
 - Interconnexions
 - Logiques
 - Statique (en général)
 - Optimisation de l'architecture pour des calculs niveau bit
 - Temps de reconfiguration, quantité d'information
- INRIA

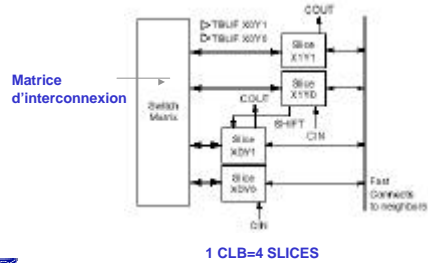
Famille VIRTEX II

- Nouveau design du CLB
- Bancs mémoire de plus grande taille
- **Multiplieurs intégrés (18x18 bits)**
- Gestion des horloges par DCM (Digital Clock Manager)
- Capacité de routage améliorée (Active Interconnect Technology)
- Cryptage du *bitstream*
 - sécurisation du système
- 1.5 volt



Famille VIRTEX II (1.5 volts)

- Schéma d'un CLB sur FPGA VirtexII



1 CLB=4 SLICES



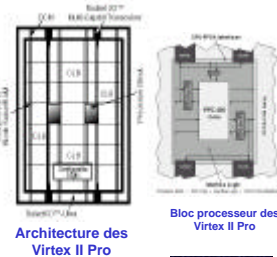
Famille VIRTEX II

Device	XC2V1000	XC2V2000	XC2V4000	XC2V8000
Gate	1M	2M	4M	8M
CLB	1280	2688	5760	11648
IOB	432	624	912	1108
SelectRAM (kbits)	720	1008	2160	3024
Prog. kbits	4082	7492	15660	29063
Conf. time at 66 MHz	7,73 ms	14,19 ms	29,66 ms	55,04 ms
Multiplier	40	56	120	168



Famille VIRTEX II Pro

- Jusqu'à 4 blocs processeurs IBM PowerPC 405.
- Fréquence de travail jusqu'à 300MHz.
- Cœurs Rocket I/O Multi-Gigaset Transceiver (transformation des données série- parallèle)



Architecture des Virtex II Pro



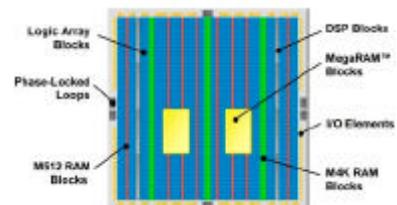
Famille VIRTEX II Pro

Caractéristiques des Virtex II Pro

Feature or Block	XC2V1000	XC2V2000	XC2V4000	XC2V8000
CLB Slices	1,280	2,688	5,760	11,648
Logic Cells	3,168	6,144	11,808	24,032
Block RAM (32x32)	216	304	712	1,584
Processors	8	1	1	2
IOB Elements	432	624	912	1,108
IOB RAM	4	4	9	16
IOB RAM Blocks	4	4	9	16
IOB RAM Elements	12	35	44	88
Digital Clock Management Blocks	4	4	4	5
Max Area Util. User	384	340	318	304
Package	140	140	240	240
PD485	190	240	240	240
PD202	288	368	368	368
PD385			388	388
PD485			554	554
PD585			554	554
PD685			554	554

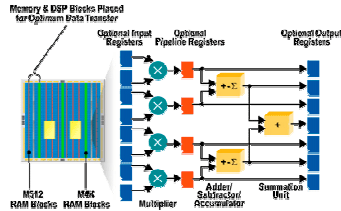


Famille Stratix Altera



Stratix : blocs DSP

- Multiplieurs 9x9 – 18x18
- 2 GMAC/s par bloc
- F = 250 MHz
- Utilisation
 - Rake
 - VoIP
 - OFDM
 - Multimédia



Mémoires

More Bits for Larger Memory Buffering



More Data Ports for Greater Memory Bandwidth

- 512 bits per block + parity
- Up to 1,118 blocks
- 4 Kbits per block + parity
- Up to 520 blocks
- 512 Kbits per block + parity
- Up to 12 blocks

4 ports

2 ports

1 port



Stratix Altera

Feature	EP1S10	EP1S20	EP1S25	EP1S30	EP1S40	EP1S60	EP1S80	EP1S120
Logic Elements (LEs)	10,570	18,460	25,660	32,470	41,250	57,120	79,040	114,140
Total RAM bits	920K	1,669K	1,944K	3,317K	3,423K	5,215K	7,427K	10,118K
DSP Blocks	6	10	10	12	14	18	22	28
Emb. Mult	48	80	80	96	112	144	176	224
PLLs	6	6	6	10	12	12	12	12



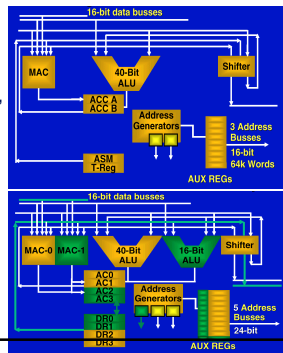
Nouvelles architectures DSP

- DSPs conventionnels améliorés
 - UT multiples, SIMD, coprocesseurs
 - Lucent DSP16xxx, ADI ADSP-2116x, TI C55x
- DSPs VLIW
 - TI C6xxx, Infineon Carmel
- DSPs superscalaires
 - ZSP 164xx
- Processeurs généralistes ou hybrides
 - GPP+SIMD, mC/DSP
 - PowerPC/Altivec, Pentium/MMX
 - Infineon TriCore, SHx, ARM Piccolo, STx, SHx

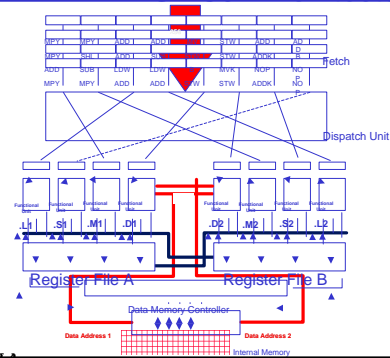


C5x Architecture

- C54x
 - 40-160 MIPS
 - 1000-3000 MIPS/W
 - 17x17b multiplier, 40b ALU, 40b adder, ACS unit
 - 60% of cellular handsets
 - \$5 (C5402 100MIPS) - \$75
- C55x
 - Dual MAC, 160 KW SRAM
 - 400 MIPS
 - 20 MIPS/mW
 - 0.05 mW/MIPS



VLIW DSP C6x Architecture



TI' VLIW DSP

	C62x	C64x	C67x
	Fixed-Point	Fixed-Point	Floating-Point
MHz	150-300	300-600	100-225
MIPS/MFLOPS	1200-2400 MIPS	2400-4800 MIPS	600-1350 MFLOPS
8-bit MMACS	300-600	1200-2400	200-550
16-bit MMACS	300-600	2400-4800	200-550
Broadband Communications	General	Special-Purpose instructions	General
Imaging	General	Special-Purpose instructions	General

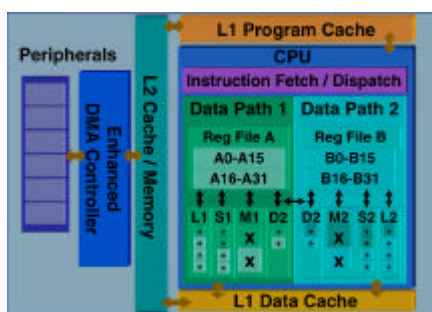


C64x

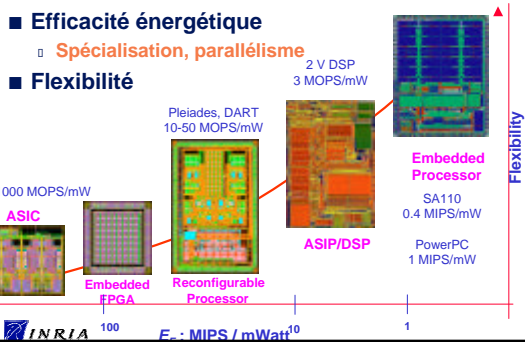
- C64x
 - Jusqu'à 1.1 GHz, 9 GOPS
 - Six ALUs (32-/40-Bit), une 32-Bit, deux 16-Bit, ou quatre 8-Bit opérations arithmétiques par cycle
 - Deux multiplieurs, quatre 16x16-Bit ou huit 8x8-Bit multiplications par cycle
 - Coprocesseurs VCP (Viterbi) et TCP (Turbo)
 - 'C6411: 300 MHz, \$39, 1.0 V, 250mW, 2400 MIPS, 1200 MMACS



C64x

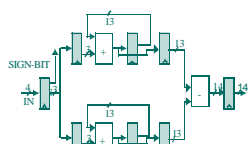


Solutions architecturales



Impact du choix architectural

Example:
Correlator for CDMA Radio:



[Rabaey00]

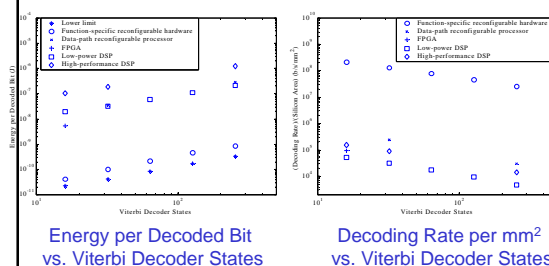
Energy/Flexibility Tradeoff's

Arm 6 core (5V, 20 MHz)	2765 nJ	167697 fJsec
Xilinx 4003 (5V, 64 MHz)	394 nJ	394 fJsec
ASIC Datapath (1.5V, 64 MHz)	1.2 nJ	1.04 fJsec

* Energy/symbol
* Normalized Energy-Delay Product (5V)



Impact du choix architectural



Energy per Decoded Bit vs. Viterbi Decoder States

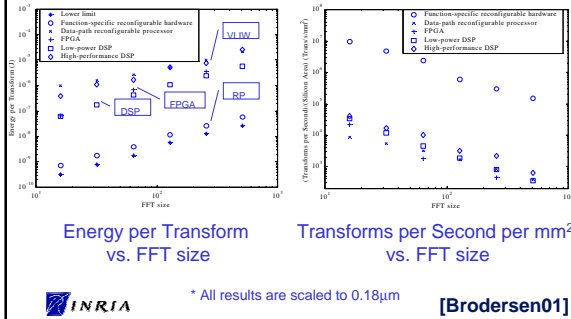
Decoding Rate per mm² vs. Viterbi Decoder States



* All results are scaled to 0.18um

[Brodersen01]

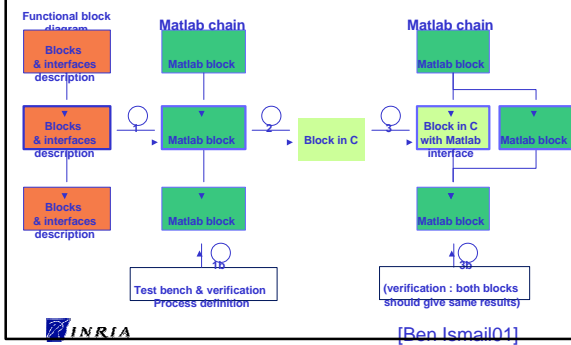
Impact du choix architectural



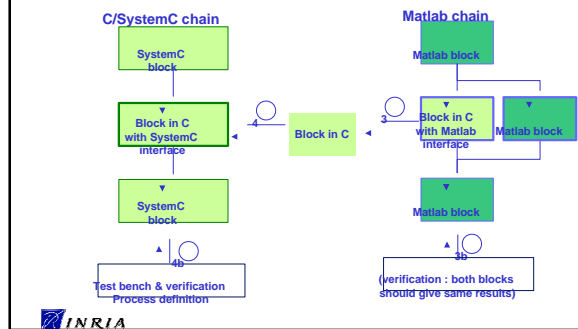
Plan

- Introduction
 - SOC (terminal), carte (BS), prototypage
- Principaux algorithmes et complexité
- Cibles architecturales
 - ASIC
 - FPGA
 - DSP
- Flot de développement et outils
 - Matlab, C, SystemC, compilation, ...
- Cartes de développement

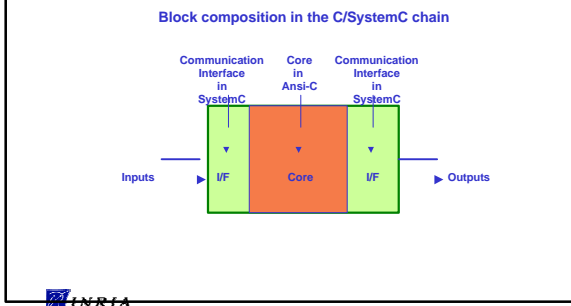
Flot de développement système



Raffinement architectural



Raffinement architectural



Flot de conception

- ASIC, FPGA
 - Utilisation de ces cibles pour des applications fortement parallèles, contraintes en latence/cadence,
 - Génération automatique des vecteurs de test
 - Génération automatique du code HDL de niveau RT
 - VHDL, SystemC
- DSP, RISC, processeur reconfigurable
 - Compilation *recyclable*
 - Conversion automatique vers un format virgule fixe

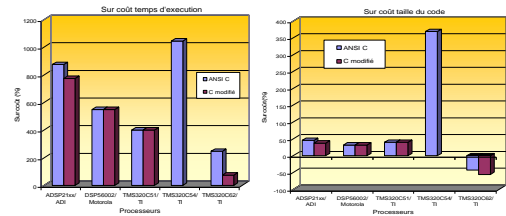
Verification automatique

High-level behavior in Simulink

Low-level behavior in VHDL simulator

Inefficacité des compilateurs C

Analyse du surcoût associé au compilateur C



Meilleures performances pour les DSP plus généraux et les DSP virgule flottante (architecture homogène)

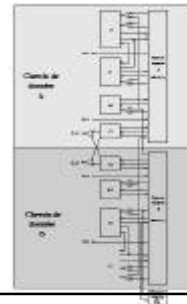


Compilateurs recyclable

- Pourquoi ?
 - Produire rapidement des compilateurs pour une large palette de plateformes, de façon économique
 - Comparer différentes architectures
 - Fournir une meilleure compréhension de l'interdépendance entre architecture et compilateur
- GCC, Chess (Target compiler), FlexCC (ST), Cosy (ACE)
- Record (Dortmund), SPAM (Princeton), Armor/Calife (IRISA)



Langage ARMOR



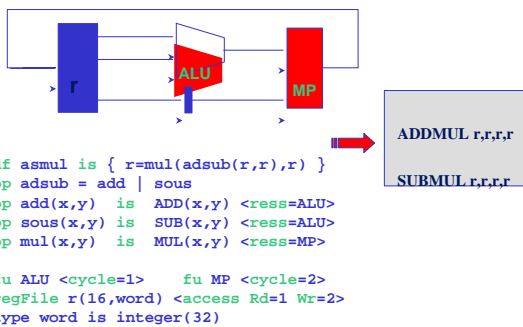
Tms320c6x

```
instructionSet =
[
  inst || inst || inst || inst
  || inst || inst || inst || inst
]

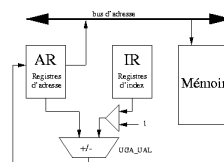
gp inst = add | sub | ...
```

[Messé99]

Flot de données



Unités de génération d'adresses



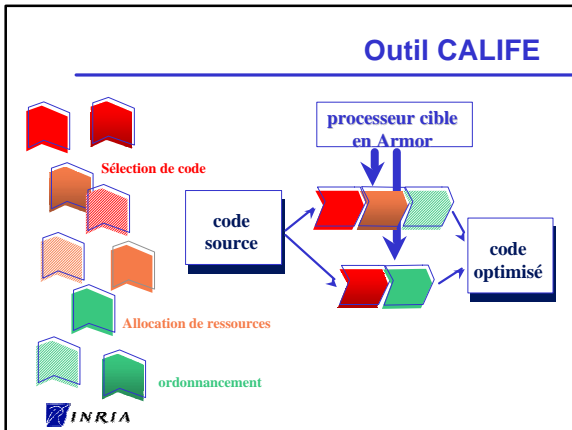
```
df load is {r=mem[ad]}
address ad = simple
           | postmod

address simple is AR
address postmod is
  AR%i{opAd(AR%i,src)}

op opAd = inc | dec
op inc(x,y) is
  ADD(x,y) <ress=UGA_UAL>

mode src = IR | const(1)
```





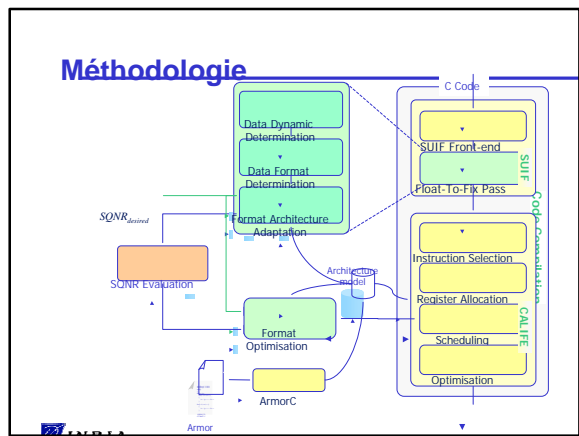
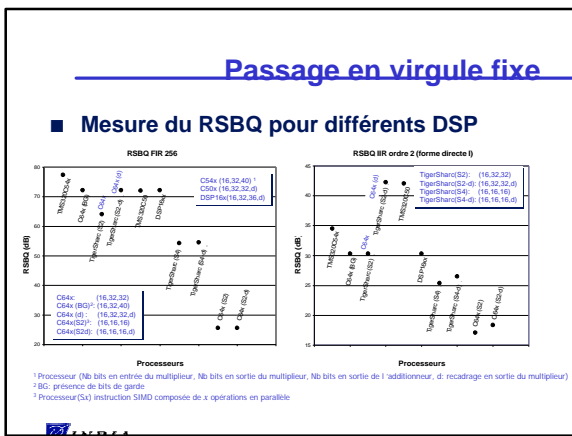
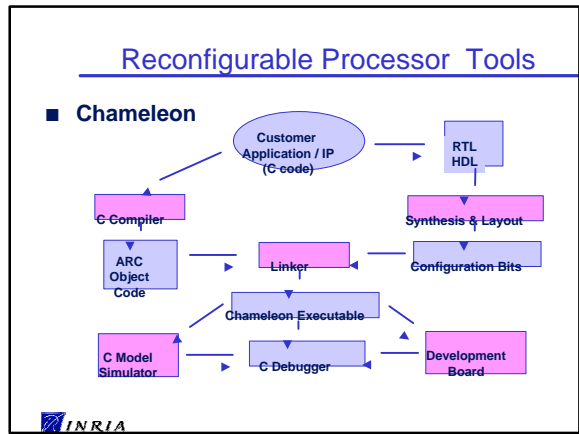
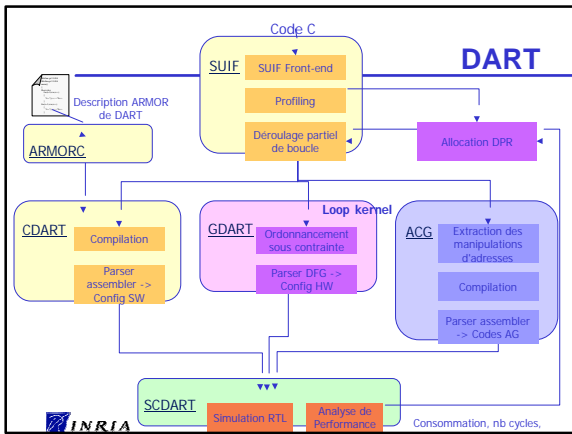
Compilation hétérogène

- **Compilation de plusieurs modèles d'exécution**
 - Processus communicants
 - Flots de données
 - Code irrégulier
- **Pleiades, Chameleon, PICO, GARP, DART**

```

//WCMDA
//FIR complexe
for (i=0;i<128;i++) {
    I+=s1(i)*h(i);
    Q+=Q+sq(i)*h(i);
}
...
//Rake
for (i=0;i<10;i++) {
    ...
    for (j=0;j<64;j++) {
        for (k=0;k<4;k++) {
            //Despread
        }
    }
}
...
    
```

INRIA



Conclusions

- **Concevoir un émetteur-récepteur SDR impose des contraintes spécifiques**
 - **Gérer non simultanément des algorithmes de complexités diverses, à des débits différents et sur plusieurs tailles de données**
 - **Il faut**
 - une architecture supportant la plus grande complexité
 - une capacité à s'adapter aux modifications des traitements
- **Hautes performances, programmabilité, reconfigurabilité**

